

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-261756

(43) 公開日 平成10年(1998) 9月29日

(51) Int.Cl.⁶H 0 1 L 23/50
21/60

識別記号

3 0 1

F I

H 0 1 L 23/50
21/60

X

3 0 1 B

審査請求 未請求 請求項の数10 F D (全 8 頁)

(21) 出願番号

特願平9-85868

(22) 出願日

平成9年(1997) 3月19日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233527

日立東部セミコンダクタ株式会社

埼玉県入間郡毛呂山町大字旭台15番地

(72) 発明者 藤田 直樹

埼玉県入間郡毛呂山町大字旭台15番地 日

立東部セミコンダクタ株式会社内

(72) 発明者 佐藤 賢一

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(74) 代理人 弁理士 梶原 辰也

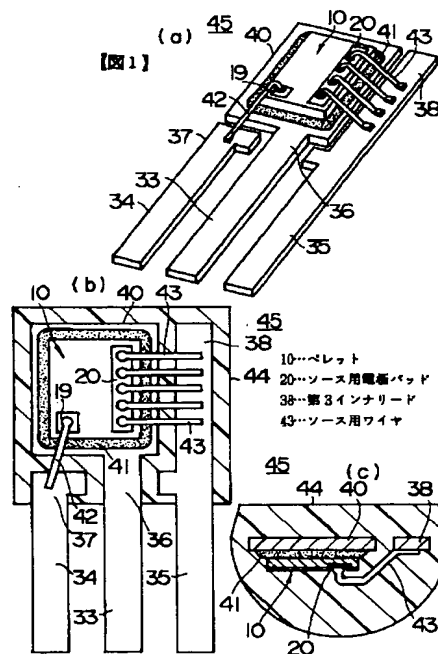
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 外部抵抗分を低減させる。

【解決手段】 3端子ラジアルリード形樹脂封止パッケージのパワーMOSFET 45は、ペレット10と、樹脂封止体44の下端面に突出された3本のアウトリード33、34、35と、3本のインナリード36、37、38とを備え、中央の第1インナリード36の先端に形成されたタブ40にペレット10がボンディング層41でボンディングされている。第2インナリード37とゲート用電極パッド19との間にはゲート用ワイヤ42が橋絡され、タブ40の一方の長辺に沿って配設された第3インナリード38とソース用电極パッド20との間には複数本のソース用ワイヤ43が互いに平行に橋絡されている。

【効果】 大電流を複数本のソース用ワイヤで通電できるため、外部抵抗のうち殆どを占めるワイヤの電気抵抗を大幅に低減でき、全体の抵抗を低減できる。



【特許請求の範囲】

【請求項1】 電子回路要素が作り込まれ小形の平板形状に形成された半導体ベレットと、この半導体ベレットに各ワイヤによって電氣的に接続された複数本のインナリードと、これらインナリードにそれぞれ連結された複数本のアウトリードと、前記半導体ベレット、前記インナリード群および前記ワイヤ群を封止した封止体とを備えており、前記アウトリード群が前記封止体の一辺に配列されている半導体装置において、前記インナリード群のうち大電流用インナリードが前記半導体ベレットの一辺に沿って長く配設されており、この大電流用インナリードには複数本のワイヤまたは幅の広いワイヤの一端が接続されているとともに、このワイヤの他端は前記半導体ベレットの大電流用電極パッドに接続されていることを特徴とする半導体装置。

【請求項2】 前記大電流用インナリードが前記半導体ベレットの前記アウトリード群が配列された辺と直角をなす一辺に沿って長く配設されており、前記半導体ベレットにおける大電流用電極パッドがこの大電流用インナリードに臨む一辺に沿って配置されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記半導体ベレットが長方形の平板形状に形成されており、前記大電流用インナリードが前記半導体ベレットの一方の長辺に沿って長く配設されており、前記半導体ベレットにおける大電流用電極パッドがこの大電流用インナリードに臨む長辺に沿って配置されていることを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記大電流用インナリードが前記半導体ベレットの前記アウトリード群が配列された辺に沿って長く配設されており、前記半導体ベレットにおける大電流用電極パッドがこの大電流用インナリードに臨む一辺に沿って配置されていることを特徴とする請求項1に記載の半導体装置。

【請求項5】 前記半導体ベレットにおける大電流用電極パッドが前記大電流用インナリードの長手方向に平行に一連の長方形に形成されていることを特徴とする請求項1、2、3または4に記載の半導体装置。

【請求項6】 大電流用インナリードに一端が接続された前記ワイヤの他端が、パワーMOSFETが作り込まれた半導体ベレットにおけるソースまたはドレインに接続されていることを特徴とする請求項1、2、3、4または5に記載の半導体装置。

【請求項7】 請求項1に記載の半導体装置の製造方法であって、電子回路要素が作り込まれて小形の平板形状に形成された前記半導体ベレットが準備される半導体ベレット準備工程と、前記アウトリード群の一端が外枠に一体的に支持されており、前記インナリードのうち大電流用インナリードが前記半導体ベレットの一辺に沿って長く延在するように

配設されたリードフレームが準備されるリードフレーム準備工程と、

前記半導体ベレットが前記リードフレームに固着され、前記各インナリードと前記半導体ベレットの各電極パッドとの間に前記各ワイヤの両端がそれぞれ接続され、かつ、前記大電流用インナリードに複数本のワイヤまたは幅の広いワイヤの一端が接続されるとともに、これらワイヤの他端が前記半導体ベレットの大電流用電極パッドに接続されるボンディング工程と、

前記半導体ベレット、前記インナリード群および前記ワイヤ群を封止する封止体が形成される封止体形成工程と、

を備えていることを特徴とする半導体装置の製造方法。

【請求項8】 前記リードフレームは3本のインナリードが互いに平行に配列されているとともに、中央部のインナリードには前記半導体ベレットが固着されるタブが形成されており、このタブにおける前記インナリードの配列方向と直角をなす一辺に沿って前記大電流用インナリードが配設されていることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】 前記リードフレームは3本のインナリードが互いに平行に配列されているとともに、中央部のインナリードには前記半導体ベレットが固着されるタブが形成されており、このタブにおける前記インナリードの配列方向と平行をなす一辺に沿って前記大電流用インナリードが配設されていることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項10】 前記複数本のワイヤが前記大電流用電極パッドと前記大電流用インナリード群との間に、互いに平行にワイヤボンディングされて行くことを特徴とする請求項7、8または9に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、特に、パッケージにおける電気抵抗（外部抵抗）の低減技術に関し、例えば、3端子ラジアルリード樹脂封止パッケージを備えているパワートランジスタに利用して有効なものに関する。

【0002】

【従来の技術】高出力の半導体装置であるパワートランジスタは、電池駆動装置の電源やスイッチ、自動車電装品、モータ駆動用制御装置等の電子機器や電気機器のあらゆる分野に使用されている。このような高出力のパワートランジスタのパッケージとしても、3端子ラジアルリード樹脂封止パッケージが使用されている。すなわち、3端子ラジアルリード形パッケージを備えているパワートランジスタは、パワートランジスタ回路が作り込まれ小形の平板形状に形成された半導体ベレットと、この半導体ベレットに各ワイヤによって電氣的に接続され

た3本のインナリードと、3本のインナリードにそれぞれ連結された3本のアウトリードと、前記半導体ベレット、前記インナリード群および前記ワイヤ群を樹脂封止した樹脂封止体とを備えており、3本のアウトリードが樹脂封止体の下端面に互いに平行に整列されている。

【0003】なお、パワートランジスタを述べてある例として、特開平7-142672号公報および特開平8-46096号公報がある。

【0004】

【発明が解決しようとする課題】従来のパワートランジスタにおいては、ワイヤの電気抵抗分、インナリードおよびアウトリードの電気抵抗分（以下、外部抵抗分という。）と、ベレット内部の抵抗分（以下、内部抵抗分という。）との合計がパワートランジスタ全体のオン抵抗になる。ここで、内部抵抗分が大きい段階においては外部抵抗分が問題になることは殆どなかった。ところが、技術革新が進展し、内部抵抗分が小さく改善されて外部抵抗分の大きさが全体の50%程度を越える段階になると、外部抵抗分を無視することができない状況になる。

【0005】本発明の目的は、外部抵抗分を低減することができる半導体装置を提供することにある。

【0006】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、次の通りである。

【0008】すなわち、電子回路要素が作り込まれた半導体ベレットに各ワイヤによって電氣的に接続された複数本のインナリードのうち大電流用インナリードが、前記半導体ベレットの一边に沿って長く配設されており、この大電流用インナリードには複数本のワイヤまたは幅の広いワイヤの一端が接続されているとともに、このワイヤの他端は前記半導体ベレットの大電流用電極パッドに接続されていることを特徴とする。

【0009】前記した手段によれば、大電流用インナリードは半導体ベレットの大電流用電極パッドに複数本のワイヤまたは幅の広いワイヤによって接続されているため、外部抵抗分の大部分を占めるワイヤの抵抗分が大幅に低減されることになり、その結果、半導体装置の全体としての外部抵抗分を低減することができる。

【0010】

【発明の実施の形態】図1は本発明の一実施形態であるトランジスタを示しており、(a)は一部省略斜視図、(b)は正面断面図、(c)は平面断面図である。図2以降は本発明の一実施形態であるトランジスタの製造方法を説明するための各説明図である。

【0011】本実施形態において、本発明に係る半導体装置は、3端子ラジアルリード形樹脂封止パッケージを

備えているパワーMOSFET（以下、トランジスタという。）として構成されている。すなわち、トランジスタ45はパワーMOSFET回路が作り込まれた半導体ベレット（以下、ベレットという。）10と、互いに平行に整列された3本のアウトリード33、34、35とを備えており、3本のアウトリード33、34、35は樹脂封止体44の下端面に整列されて外部に突出されている。中央に配置された第1アウトリード33には第1インナリード36が、一方の片側に配置された第2アウトリード34には第2インナリード37が、他方の片側に配置された第3アウトリード35には第3インナリード38がそれぞれ連結されており、第1インナリード36の先端には長方形のタブ40が支持されている。ベレット10はタブ40に小さめに相似する長方形に形成され、タブ40に相似形に配置されてボンディング層41によってボンディングされている。

【0012】第2インナリード37はタブ40における最寄りの短辺近傍に配置されており、ベレット10における第2インナリード37に臨む短辺には、小電流用電極パッドであるゲート用電極パッド19が配置されている。第2インナリード37とゲート用電極パッド19との間にはゲート用ワイヤ42が橋絡されている。第3インナリード38はタブ40におけるアウトリード33、34、35の配列方向と直角をなす辺である一方の長辺に沿って長く配設されており、ベレット10における第3インナリード38に臨む長辺には、大電流用電極パッドであるソース用電極パッド20が配置されている。第3インナリード38とソース用電極パッド20の間にはソース用ワイヤ43が複数本、互いに平行に並べられ橋絡されている。そして、以上のように構成されたトランジスタ45は以下に述べるトランジスタの製造方法によって製造されている。

【0013】以下、本発明の一実施形態であるトランジスタの製造方法を説明する。この説明により、前記トランジスタの構成の詳細が共に明らかにされる。

【0014】このトランジスタの製造方法においては、図2に示されているベレット10および図3に示されている多連リードフレームが、ベレット準備工程およびリードフレーム準備工程においてそれぞれ準備される。

【0015】図2に示されているベレット10は、トランジスタの製造工程における所謂前工程においてウエハ状態にてパワーMOSFET回路を適宜作り込まれた後に、小さい長方形の薄板形状に分断（ダイシング）されることにより、製作されたトランジスタ構造体である。このベレット10はサブストレータ11を備えており、サブストレータ11の上にはポリシリコンによってゲート12が下敷きシリコン酸化膜13を介して形成されている。サブストレータ11におけるゲート12の外側に対応するサブストレータ11の内部には半導体拡散層部としてのソース14が形成されており、サブストレータ

11にはドレイン15が形成されている。

【0016】サブストレータ11の上にはCVD酸化膜等からなる絶縁膜16がゲート12およびチャンネル14aを有するソース14を被覆するように形成されており、この絶縁膜16におけるゲート12に対向する位置にはゲート用コンタクトホール17が1個、ゲート12に貫通するように開設されている。また、絶縁膜16におけるソース14に対向する領域にはソース用コンタクトホール18が複数個、ペレット10の一方の長辺において長辺に沿う方向に並べられてソース14にそれぞれ貫通するように開設されている。

【0017】ゲート用コンタクトホール17の内部にはゲート用電極パッド19が形成されている。複数個のソース用コンタクトホール18の内部にはソース用電極パッド20が形成されており、ソース用電極パッド20は複数個のソース用コンタクトホール18が並んだ直線の真上において長方形に一連に連結された状態になっている。ゲート用電極パッド19およびソース用電極パッド20は、アルミニウム材料（アルミニウムまたはその合金）がスパッタリング蒸着等の適当な手段により絶縁膜16の上に被着された後に、写真食刻法によってパターンニングされて形成されている。つまり、絶縁膜16の上に被着されたアルミニウム材料は各コンタクトホール17、18の内部にそれぞれ充填されるため、この充填部によってそれぞれ形成された電極パッド19、20はゲート12およびソース14とにそれぞれ電気的に接続された状態になっている。

【0018】ゲート用電極パッド19およびソース用電極パッド20の上には、リンシリケートガラスやポリイミド系樹脂等の絶縁材料からなる保護膜21が被着されている。保護膜21におけるゲート用電極パッド19に対応する位置にはゲート用電極パッドホール（以下、ゲート用ホールという。）22が正方形の窓孔形状に開設されており、ゲート用ホール22はゲート用電極パッド19よりも小さく形成され、かつ、その底においてゲート用電極パッド19の表面を露出させるように設定されている。保護膜21におけるソース用電極パッド20に対応する位置にはソース用電極パッドホール（以下、ソース用ホールという。）23が長方形の窓孔形状に開設されており、ソース用ホール23はソース用電極パッド20よりも小さく形成され、かつ、その底においてソース用電極パッド20の表面を露出させるように設定されている。

【0019】他方、サブストレータ11の下面にはドレイン用電極パッド24がアルミニウム材料を被着されて形成されており、ドレイン用電極パッド24はドレイン15に電気的に接続されている。

【0020】図3に示されている多連リードフレーム30は、鉄-ニッケル合金や銅合金等の導電性が良好な材料からなる薄板が用いられて、打抜きプレス加工または

エッチング加工等の適当な手段により一体成形されている。多連リードフレーム30には複数の単位リードフレーム31が一方方向に1列に並設されている。便宜上、図示および以下の説明は一単位について行われている。

【0021】単位リードフレーム31は位置決め孔32aが開設された矩形の外枠（フレーム）32を備えており、多連リードフレーム30において、外枠32は隣合う単位リードフレーム31、31同士で一体的に連結された状態になっている。単位リードフレーム（以下、リードフレームという。）31において、外枠32の一端辺には第1アウトリード33、第2アウトリード34および第3アウトリード35が、長手方向に等間隔に配置されてそれぞれ直角方向に突設されている。第1アウトリード33、第2アウトリード34および第3アウトリード35の各先端には、第1インナリード36、第2インナリード37および第3インナリード38がそれぞれ一体的に連結されている。第1アウトリード33、第2アウトリード34および第3アウトリード35における各インナリードとの接続部よりも外枠32寄りの位置には、各タイバー39がそれぞれ直角に架設されており、各タイバー39によって隣合うアウトリード間が固定的に保持されている。

【0022】中央に配置された第1インナリード36の先端にはタブ40が一体的に連結されており、タブ40はペレット10よりも大きい長方形の平板形状に形成されている。第1インナリード36の一方の片脇（以下、左脇とする。）に配置された第2インナリード37の先端部は、タブ40の最寄りの短辺に接近した位置に配されて、短く切断されている。第2インナリード37の先端部には抜け止め部片37aが、第1インナリード36側（右側）に向けて直角に突設されている。第1インナリード36の右脇に配置された第3インナリード38は、タブ40の最寄り側の長辺に接近した位置に配されており、タブ40の長辺に沿って長く延設されている。したがって、タブ40は第3インナリード38が片脇に配置された分だけ、第1インナリード36の中心に対して第2インナリード37の方へ片寄った状態になっている。第3インナリード38の基端部には抜け止め部片38aが第1インナリード36側（左側）に向けて直角に突設されている。

【0023】以上のように構成されたリードフレーム31には前記構成に係るペレット10が、ペレット・ボンディング工程において、リードフレーム31のタブ40の上にボンディング層41によってペレット・ボンディングされる。続いて、ワイヤ・ボンディング工程において、超音波熱圧着式ワイヤボンディング装置等のワイヤボンディング装置（図示せず）が使用されて、ペレット10のゲート用電極パッド19およびソース用電極パッド20と、第2インナリード37および第3インナリード38との間にはゲート用ワイヤ42および大電流用ワ

イヤとしての複数本のソース用ワイヤ43が図4に示されているように橋絡される。

【0024】ペレット・ボンディング工程において、ペレット10はタブ40にドレイン用電極パッド24を下に向けられて整合され、半田箔等によって形成されたボンディング層41によってボンディングされる。この状態において、ペレット10はタブ40に機械的に接続された状態になるとともに、ドレイン15がドレイン用電極パッド24、ボンディング層41およびタブ40を介して第1インナリード36および第1アウトリード33に電気的に接続された状態になる。

【0025】ワイヤ・ボンディング工程において、ペレット10のゲート用電極パッド19にはゲート用ワイヤ42の一端がボール・ボンディングされるとともに、ゲート用ワイヤ42の他端が第2インナリード37に第2ボンディングされる。続いて、ペレット10のソース用電極パッド20にはソース用ワイヤ43の一端がボール・ボンディングされるとともに、ソース用ワイヤ43の他端が第3インナリード38に第2ボンディングされる。ソース用ワイヤ43は複数本(図示例では5本)が連続して、ソース用電極パッド20に順次ワイヤ・ボンディングされて行く。このとき、ソース用電極パッド20が一連の長方形に形成されているため、多少の位置ずれは吸収することができるし、ソース用ワイヤ43の本数や線径等の仕様の変更に対処することができる。

【0026】なお、ワイヤ・ボンディング作業はゲート用ワイヤ42を先にボンディングするに限らず、ソース用ワイヤ43群を先にボンディングしてもよい。また、ゲート用ワイヤ42の橋絡方向と、ソース用ワイヤ43群の橋絡方向とが異なっているため、ゲート用ワイヤ42側のワイヤ・ボンディング作業と、ソース用ワイヤ43側のワイヤ・ボンディング作業は2箇所のステーションでそれぞれ実施してもよい。このように2箇所のステーションでゲート用ワイヤ42に対するワイヤ・ボンディング作業と、ソース用ワイヤ43に対するワイヤ・ボンディング作業が実施される場合でも、多連リードフレーム30の各リードフレーム31において両方のワイヤ・ボンディング作業が同時に進行するので、作業時間の増加は起きない。

【0027】その後、樹脂封止体成形工程において、図5に示されているように、樹脂封止体44がトランスファ成形装置(図示せず)によって成形される。この樹脂封止体44によって、ペレット10、タブ40、ボンディング層41、ゲート用ワイヤ42、ソース用ワイヤ43群、第1インナリード36、第2インナリード37および第3インナリード38が樹脂封止され、樹脂封止体44の下端面から第1アウトリード33、第2アウトリード34および第3アウトリード35が平行に突出された状態になる。

【0028】図示および詳細な説明は省略するが、その

後、リード切断工程において、樹脂封止体44の外側におけるリードフレーム31の不要な部分が切断除去される。また、所望に応じて、第2アウトリード34および第3アウトリード35はリード成形工程において曲げ加工され、所望の形状に成形される。

【0029】前記実施形態によれば次の効果が得られる。

① 大電流が流れるソース用電極パッドと大電流用インナリードである第3インナリードとの間に複数本のソース用ワイヤを橋絡することにより、大電流を複数本のソース用ワイヤを通じて流すことができるため、外部抵抗のうち殆どを占めるワイヤにおける電気抵抗を大幅に低減することができ、トランジスタ全体としての抵抗を低減させることができる。

【0030】② 複数本のソース用ワイヤは互いに平行に並べてボンディングすることができるため、製造コストの増加を回避することができる。

【0031】③ ソース用ワイヤの本数を増加することによって外部抵抗の低減が実現されるため、ゲート用ワイヤとソース用ワイヤとは同一条件のものを使用することができ、製造コストの増加を回避することができる。

【0032】図6は本発明の実施形態2であるトランジスタを示しており、(a)は正面断面図、(b)は(a)のb-b線に沿う断面図、(c)は(a)のc-c線に沿う断面図である。

【0033】本実施形態2が前記実施形態1と異なる点は、大電流用インナリードである第3インナリード38Aがタブ40におけるアウトリード33、34、35の配列方向の一辺に沿って長く配設されているとともに、ペレット10における大電流用電極パッドであるソース用電極パッド20Aが第3インナリード38Aに臨む一辺に沿って配置されており、この第3インナリード38Aとソース用電極パッド20Aとの間に大電流用インナリードであるソース用ワイヤ43が複数本、互いに平行に橋絡されている点にある。

【0034】本実施形態2においても、大電流が流れるソース用電極パッド20Aと第3インナリード38との間に複数本のソース用ワイヤ43が橋絡されているため、前記実施形態1と同様の作用および効果が奏される。

【0035】図7は本発明の実施形態3であるトランジスタを示しており、(a)は一部省略斜視図、(b)は正面断面図、(c)は平面断面図である。

【0036】本実施形態3が前記実施形態1と異なる点は、複数本のソース用ワイヤの代わりに幅の広いワイヤ43Bが大電流用インナリードである第3インナリード38と大電流用電極パッドであるソース用電極パッド20との間に橋絡されている点にある。

【0037】本実施形態3においても、大電流が流れるソース用電極パッド20と第3インナリード38との間

に幅の広いワイヤ43Bが橋絡されているため、前記実施形態1と同様の作用および効果が奏される。

【0038】以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0039】例えば、大電流用ワイヤはソース用ワイヤに設定するに限らず、ドレイン用ワイヤとして設定してもよい。

【0040】ペレットやインナリード群およびワイヤ群を封止する封止体は樹脂封止体によって構成するに限らず、気密封止体によって構成してもよい。

【0041】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるパワーMOSFETに適用した場合について説明したが、それに限定されるものではなく、バイポーラ・トランジスタや高出力の半導体集積回路装置(パワーIC)等の半導体装置全般に適用することができる。

【0042】なお、バイポーラ・トランジスタに本発明を適用する場合は、エミッタまたはコレクタの電極パッドとインナリードとの間に複数本のワイヤまたは幅の広いワイヤが橋絡されることになる。

【0043】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、次の通りである。

【0044】大電流が流れる大電流用電極パッドと大電流用インナリードとの間に複数本のワイヤまたは幅の広いワイヤを橋絡することにより、大電流を複数本のワイヤまたは幅の広いワイヤを通じて流すことができるため、外部抵抗のうち殆どを占めるワイヤにおける電気抵抗を大幅に低減することができ、半導体装置全体としての抵抗を低減させることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態であるトランジスタを示しており、(a)は一部省略斜視図、(b)は正面断面図、(c)は平面断面図である。

【図2】本発明の一実施形態であるトランジスタの製造方法に使用されるペレットを示しており、(a)は拡大正面図、(b)は(a)のb-b線に沿う拡大断面図、

(c)は(a)のc-c線に沿う拡大断面図である。

【図3】その製造方法に使用されるリードフレームを示しており、(a)は一部省略平面図、(b)は(a)のb-b線に沿う断面図、(c)は(a)のc-c線に沿う断面図である。

【図4】その製造方法におけるペレット・ボンディング工程およびワイヤ・ボンディング工程後を示しており、(a)は一部省略平面図、(b)は(a)のb-b線に沿う断面図、(c)は(a)のc-c線に沿う断面図である。

【図5】同じく樹脂封止体成形工程後を示しており、(a)は一部省略平面図、(b)は(a)のb-b線に沿う断面図、(c)は(a)のc-c線に沿う断面図である。

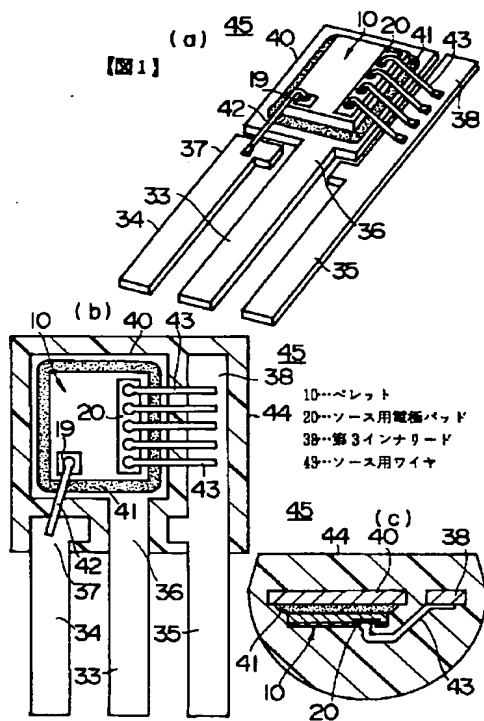
【図6】本発明の実施形態2であるトランジスタを示しており、(a)は正面断面図、(b)は(a)のb-b線に沿う断面図、(c)は(a)のc-c線に沿う断面図である。

【図7】本発明の実施形態3であるトランジスタを示しており、(a)は一部省略斜視図、(b)は正面断面図、(c)は平面断面図である。

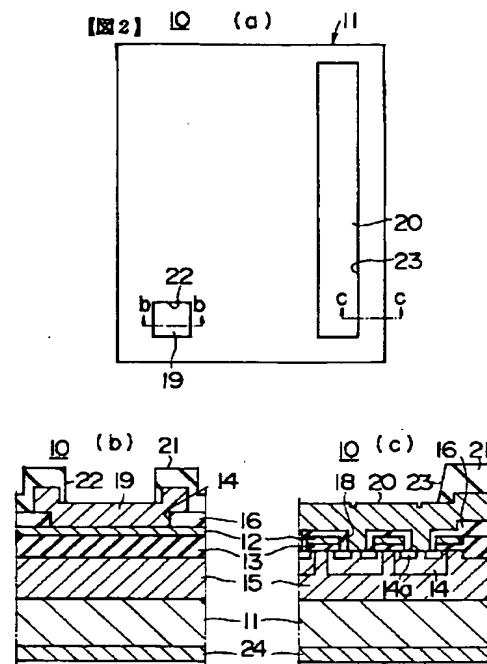
【符合の説明】

10…ペレット、11…サブストレート、12…ゲート、13…シリコン酸化膜、14…ソース、14a…チャンネル、15…ドレイン、16…絶縁膜、17…ゲート用コンタクトホール、18…ソース用コンタクトホール、19…ゲート用電極パッド、20、20A…ソース用電極パッド、21…保護膜、22…ゲート用ホール、23…ソース用ホール、24…ドレイン用電極パッド、30…多連リードフレーム、31…単位リードフレーム、32…外枠、32a…位置決め孔、33…第1アウトリード、34…第2アウトリード、35…第3アウトリード、36…第1インナリード、37…第2インナリード、37a…抜け止め部片、38、38A…第3インナリード(大電流用インナリード)、38a…抜け止め部片、39…タイバー、40…タブ、41…ボンディング層、42…ゲート用ワイヤ、43…ソース用ワイヤ(大電流用ワイヤ)、43B…幅の広いワイヤ(大電流用ワイヤ)、44…樹脂封止体、45…トランジスタ。

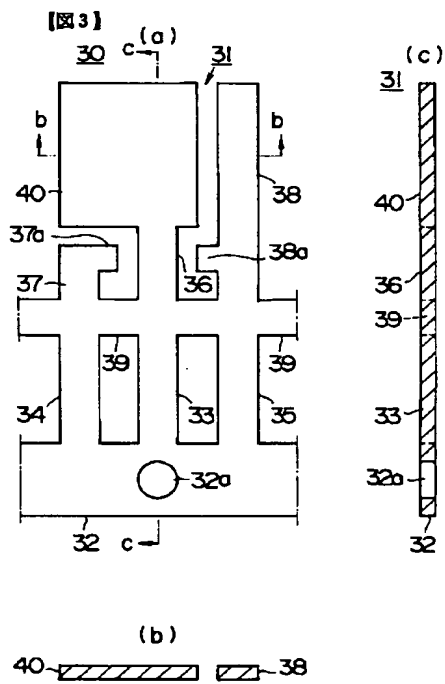
【図1】



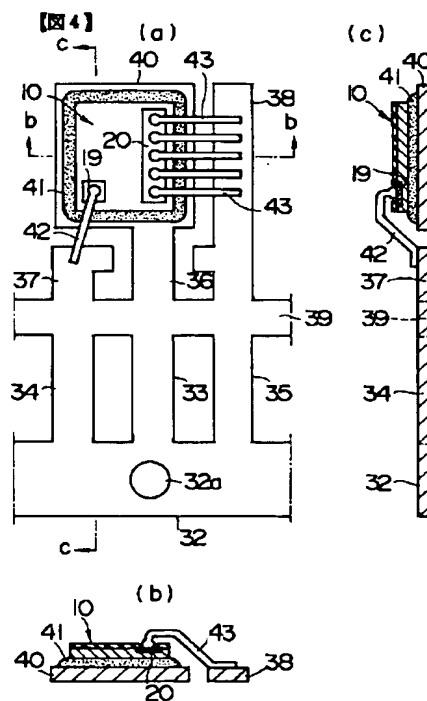
【図2】



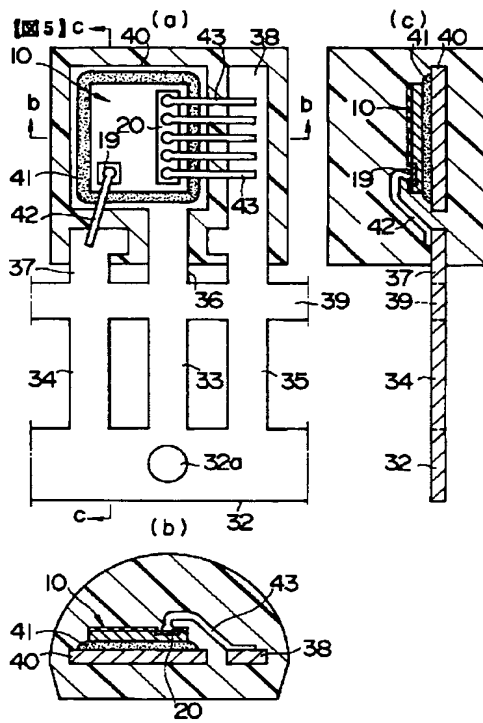
【図3】



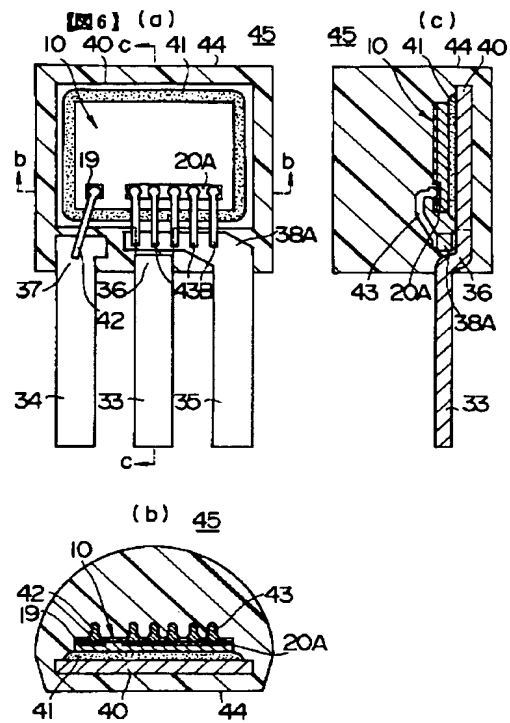
【図4】



【図5】



【図6】



【図7】

